

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-077987
 (43)Date of publication of application : 18.03.1994

(51)Int.Cl. H04L 12/48
 H04Q 11/04

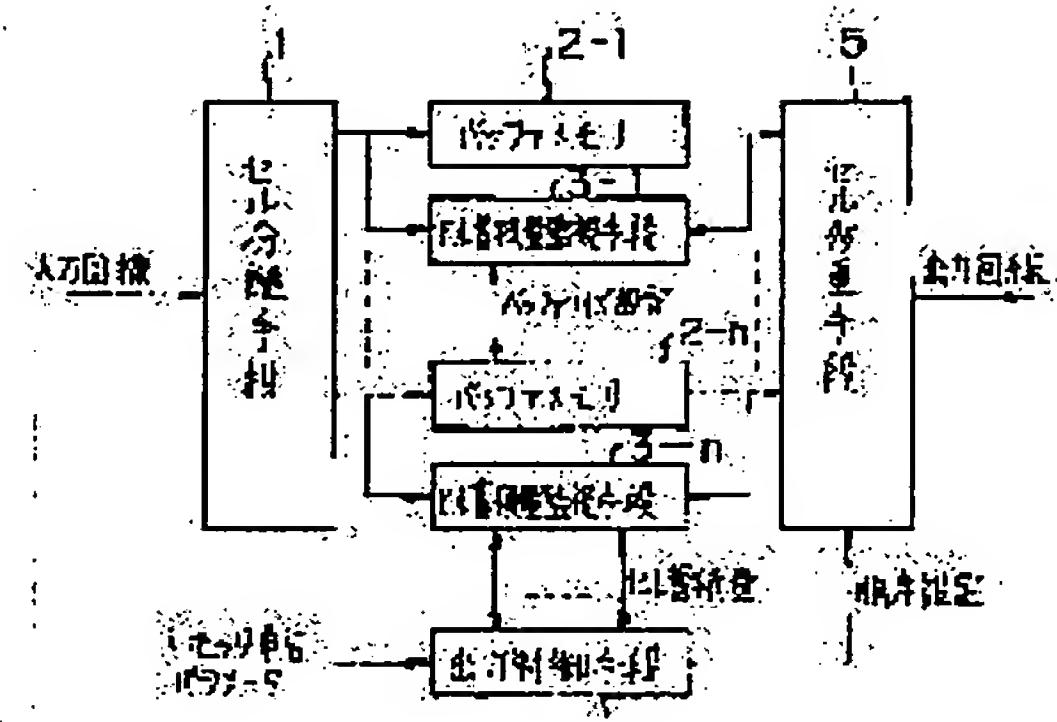
(21)Application number : 04-230062 (71)Applicant : FUJITSU LTD
 (22)Date of filing : 28.08.1992 (72)Inventor : KAMOI EDAMASU
 KATO MASABUMI
 SOMIYA TOSHIO

(54) TRANSFER CONTROL SYSTEM BY QUALITY CLASSES FOR ATM EXCHANGE

(57)Abstract:

PURPOSE: To suitably control the setting of an output band and the setting of a buffer size and to totally improve cell transfer efficiency by monitoring the amount of cells stored in the buffer memories of respective classes.

CONSTITUTION: The cells separated by quality classes by a cell separating means 1 are stored in buffer memories, whose storage capacity can be changed, for each class while monitoring the amount of stored cells with storage amount monitoring means 3. An output control means 4 controls the order of sending the cells, calculates the traffic quantity of respective classes and a class mixing ratio from traffic parameters, which are declared at the time of call setting, and sets the output band of each class and the buffer size satisfying request delay time. Then, the storage monitor means 3 monitors the amount of stored cells in the respective classes at the time of cell transfer and when there is any full loading band, it is divided to the other class. On the other hand, the output control means 4 can change the size of the buffer memories corresponding to the output band. Thus, the cell transfer efficiency can be totally improved.



LEGAL STATUS

[Date of request for examination]	13.11.1998
[Date of sending the examiner's decision of rejection]	23.05.2000
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	
[Date of registration]	
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-77987

(43)公開日 平成6年(1994)3月18日

(51)Int.Cl.⁵

H 04 L 12/48

H 04 Q 11/04

識別記号

庁内整理番号

F I

技術表示箇所

8529-5K

H 04 L 11/ 20

Z

9076-5K

H 04 Q 11/ 04

R

9076-5K

Q

審査請求 未請求 請求項の数 2(全 7 頁)

(21)出願番号

特願平4-230062

(22)出願日

平成4年(1992)8月28日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 鴨井 條益

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 加藤 正文

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 宗宮 利夫

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 真田 有

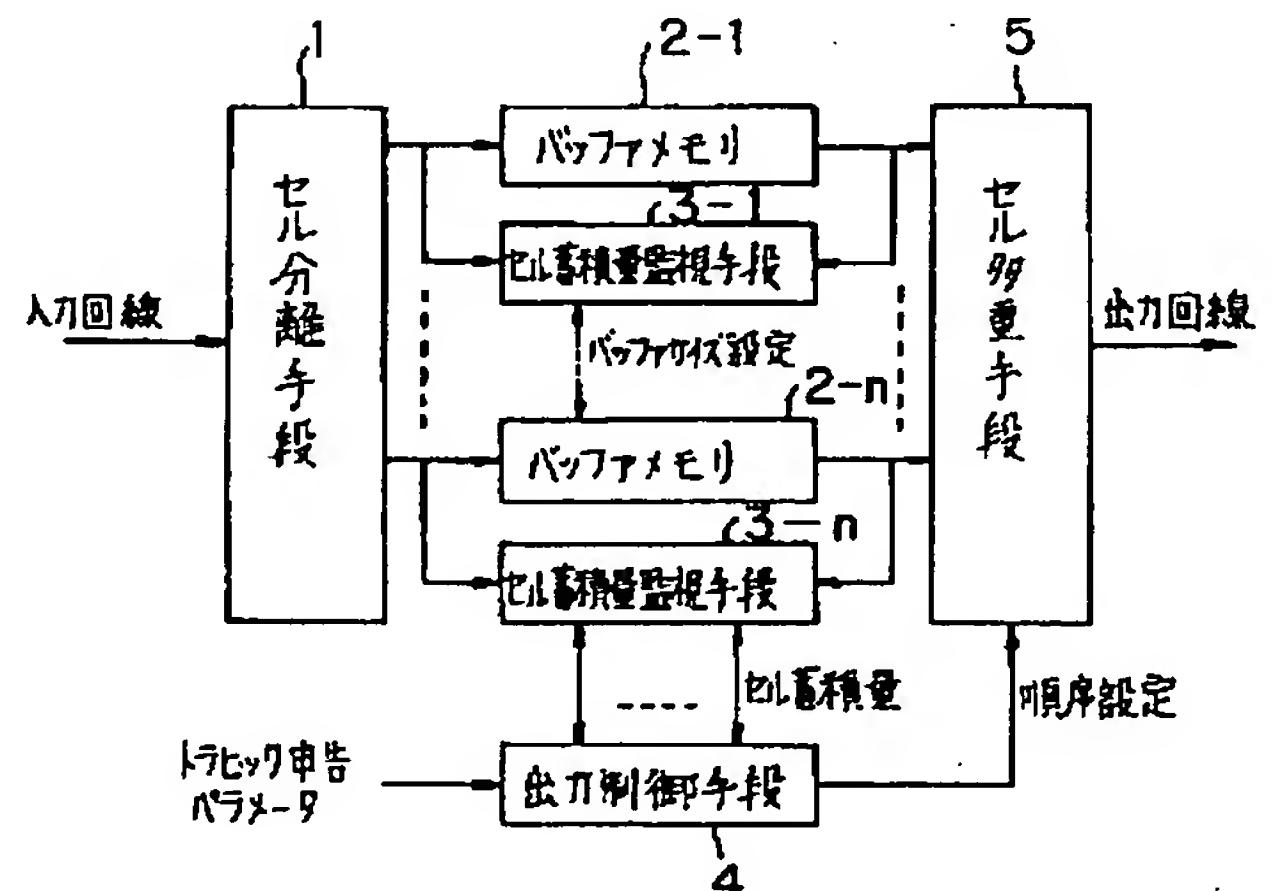
(54)【発明の名称】 ATM交換機における品質クラス別転送制御方式

(57)【要約】

【目的】 本発明は、ディジタル情報を固定長のセルに分割しセル単位で処理を施すATM交換機における品質クラス別転送制御方式に関し、出力帯域の設定およびバッファサイズの設定においてより適切な制御を可能にし、総合的にセル転送効率を改善できるようにすることを目的とする。

【構成】 セル分離手段1、バッファメモリ2-i (i = 1 ~ n)、セル蓄積量監視手段3-i、出力制御手段4、セル多重手段5をそなえ、出力制御手段4により、呼設定時に申告されたトラヒックパラメータから各クラスのトラヒック量とクラス混在比とを求める、各クラスの出力帯域と要求遅延時間を満たすことができるバッファサイズを設定し、更にセル転送時に、セル蓄積監視手段3-iにより、制御周期毎の各クラスのバッファメモリ2-iのセル蓄積量を受信し、あるクラスのセル蓄積量が減じた場合に、要求遅延時間が満たされた範囲でそのクラスの出力回線へのセル送出のための要求帯域を減少させるように構成する。

本発明の原理ブロック図



【特許請求の範囲】

【請求項1】 ディジタル情報を固定長のセルに分割し、セル単位で処理を施すATM交換機において、その入力回線から到着するセルの品質クラスを見て、クラス別にセルを分離するセル分離手段(1)と、該セル分離手段(1)で分離されたセルをクラス毎に独立に蓄積するため最大セル蓄積量が変更可能な複数のバッファメモリ(2-1, ..., 2-n)と、各バッファメモリ(2-1, ..., 2-n)のセル蓄積量を監視するセル蓄積量監視手段(3-1, ..., 3-n)と、セル送出の順序を制御する出力制御手段(4)と、該出力制御手段(4)からの制御信号により、各クラスのバッファメモリ(2-1, ..., 2-n)から出力回線へセルを多重するセル多重手段(5)とをそなえ、該出力制御手段(4)によって、呼設定時に申告されたトラヒックパラメータから各クラスのトラヒック量とクラス混在比とを求め、各クラスの出力帯域と要求遅延時間を満たすことができるバッファサイズを設定するとともに、セル転送時に、該セル蓄積監視手段(3-1, ..., 3-n)により、制御周期毎の各クラスのバッファメモリ(2-1, ..., 2-n)のセル蓄積量を受信し、あるクラスのセル蓄積量が減じた場合に、要求遅延時間が満たされた範囲でそのクラスの出力回線へのセル送出のための要求帯域を減少させて、余剰帯域を他クラスの出力帯域に割り付けることを特徴とする、ATM交換機における品質クラス別転送制御方式。

【請求項2】 該バッファメモリ(2-1, ..., 2-n)が、該出力制御手段(4)からの制御によって、制御周期ごとに再設定された出力帯域に応じて、各クラスの要求遅延時間を満足しうるバッファサイズに変更されることを特徴とする請求項1記載のATM交換機における品質クラス別転送制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ディジタル情報を固定長のセルに分割しセル単位で処理を施すATM交換機に関する、特にかかるATM交換機における品質クラス別転送制御方式に関する。ATM通信網では、遅延時間や廃棄率に対する品質への要求条件の異なる様々なメディア情報が共通の網リソース(設備)を利用する。したがって、各メディアの要求品質を保証しつつ、効率的に網リソースを利用するための品質制御が必要である。

【0002】

【従来の技術】 図3は従来のATM交換機における品質クラス別転送制御方式を説明するためのブロック図であるが、この図3において、11はセル分離手段であり、このセル分離手段11は、入力回線から到着するセルの品質クラスを見て、クラス別にセルを分離するものである。

【0003】 12-1, ..., 12-n(nは自然数)はそれぞれクラス1用バッファメモリ、..., クラスn用バッファメモリであり、これらのバッファメモリ12-1~12-nは、それぞれセル分離手段11で分離されたセルをクラス毎に独立に蓄積するものである。34は出力制御手段であり、この出力制御手段34はセル送出の順序を制御するものである。35はセル多重手段であり、このセル多重手段35は出力制御手段34からの制御信号により、各クラスのバッファメモリ12-1, ..., 12-nから出力回線へセルを多重するものである。

【0004】 このような構成により、セル分離手段11で入力回線から到着するセルの品質クラスを見て、クラス別にセルを分離する。セル分離手段11で分離されたセルを複数のバッファメモリ12-1, ..., 12-nにクラス毎に独立に蓄積する。出力制御手段34は、セル送出の順序を制御し、バッファメモリ12-1, ..., 12-nに蓄積されたセルは出力制御手段34からの制御信号により、セル多重手段35で出力回線へ多重される。

【0005】 ここで、出力制御手段34によって、出力回線へのセルの送出制御として、呼設定時に申告されたトラヒックパラメータから各クラスのトラヒック量とクラス混在比を求め、予めトラヒックの数値解析やシミュレーション等で求めた呼受付可能領域(接続可能負荷)より呼の受付判断および適切な各クラスの出力帯域割当比を選択し、更に決められた帯域割当比で要求遅延時間を満たすことができるバッファサイズを設定する。

【0006】 図4は品質クラスが2種類の場合の接続可能領域の例を示す図である。クラス1、クラス2ともに接続可能負荷が小さいと、両方の受付が可能であるが、クラス1の接続可能負荷が大きい場合、クラス1のみの受付が可能となり、逆にクラス2の接続可能負荷が大きい場合は、クラス2のみの受付が可能となる。さらに、出力制御手段34によって、最大遅延時間を保証するため、周期ごとに帯域割当比に相当する処理個数を確定的に設定する。バッファサイズQiの決め方は次式によっている。

$$Q_i = D_i (W_i / \sum W_i)$$

ここで、Qiは各クラスのバッファサイズ、Diは各クラスの要求遅延時間、Wiは各クラスの出力帯域である。このようにして、各クラスの遅延時間や廃棄率の品質特性を制御しているのである。

【0008】

【発明が解決しようとする課題】 しかしながら、このような従来のATM交換機における品質クラス別転送制御方式においては、呼接続ごとのトラヒック申告パラメータによって固定的に帯域割当を行なっているため、障害や違反セルなどにより入力トラヒックが申告値どうりでない場合や、バーストトラヒックのように短い時間でト

ラヒック量とクラス混在比がダイナミックに変動する場合には、適切な制御が困難であるという課題があった。

【0009】本発明は、このような課題に鑑み創案されたもので、各クラスのバッファメモリのセル蓄積量を監視することにより出力帯域の設定およびバッファサイズの設定においてより適切な制御を可能にし、総合的にセル転送効率を改善できるようにした、ATM交換機における品質クラス別転送制御方式を提供することを目的とする。

【0010】

【課題を解決するための手段】図1は本発明の原理ブロック図で、この図1において、1はセル分離手段であり、このセル分離手段1は入力回線から到着するセルの品質クラスを見て、クラス別にセルを分離するものである。2-1, ..., 2-nはバッファメモリであり、このバッファメモリ2-1, ..., 2-nは、セル分離手段1で分離されたセルをクラス毎に独立に蓄積するもので、その最大セル蓄積量が変更可能となっている。

【0011】3-1, ..., 3-nはセル蓄積量監視手段であり、このセル蓄積量監視手段3-1, ..., 3-nは各バッファメモリ2-1, ..., 2-nのセル蓄積量を監視するものである。4は出力制御手段であり、この出力制御手段4はセル送出の順序を制御するものである。

【0012】5はセル多重手段であり、このセル多重手段5は、出力制御手段4からの制御信号により、各クラスのバッファメモリ2-1, ..., 2-nから出力回線へセルを多重するものである。そして、出力制御手段4によって、呼設定時に申告されたトラヒックパラメータから各クラスのトラヒック量とクラス混在比とを求める、各クラスの出力帯域と要求遅延時間を満たすことのできるバッファサイズを設定するとともに、セル転送時に、セル蓄積監視手段3-1, ..., 3-nにより、制御周期毎の各クラスのバッファメモリ2-1, ..., 2-nのセル蓄積量を受信し、あるクラスのセル蓄積量が減じた場合に、要求遅延時間が満たされた範囲でそのクラスの出力回線へのセル送出のための要求帯域を減少させて、余剰帯域を他クラスの出力帯域に割り付けることが行なわれる。その結果、他クラスの出力帯域が増加する。

【0013】また、バッファメモリ2-1, ..., 2-nが、出力制御手段4からの制御により、制御周期ごとに再設定された出力帯域に応じて、各クラスの要求遅延時間を満足しうるバッファサイズに変更されるようになっている（請求項1）。

【0014】

【作用】上述の本発明のATM交換機における品質クラ

ス別転送制御方式では、セル分離手段1によって、入力回線から到着するセルの品質クラスを見て、クラス別にセルを分離する。このようにしてセル分離手段1で分離されたセルは最大セル蓄積量が変更可能な複数のバッファメモリ2-1, ..., 2-nにクラス毎に独立に蓄積される。このとき、各バッファメモリ2-1, ..., 2-nのセル蓄積量はセル蓄積量監視手段3-1, ..., 3-nで監視されている。

【0015】そして、出力制御手段4はセル送出の順序を制御するが、更にこの出力制御手段4によって、呼設定時に申告されたトラヒックパラメータから各クラスのトラヒック量とクラス混在比とを求める、各クラスの出力帯域と要求遅延時間を満たすことのできるバッファサイズが設定されるとともに、セル転送時に、セル蓄積監視手段3-1, ..., 3-nにより、制御周期毎の各クラスのバッファメモリ2-1, ..., 2-nのセル蓄積量を受信し、あるクラスのセル蓄積量が減じた場合に、要求遅延時間が満たされた範囲でそのクラスの出力回線へのセル送出のための要求帯域を減少させて、余剰帯域を他クラスの出力帯域に割り付けることが行なわれる。その結果、他クラスの出力帯域が増加する。

【0016】また、バッファメモリ2-1, ..., 2-nは、出力制御手段4からの制御によって、制御周期ごとに再設定された出力帯域に応じて、各クラスの要求遅延時間を満足しうるバッファサイズに変更される。さらに、出力制御手段4からの制御信号により、セル多重手段5で各クラスのバッファメモリ2-1, ..., 2-nから出力回線へセルを多重する。

【0017】

【実施例】以下、図面を参照して本発明の実施例を説明する。図2は本発明の一実施例を示すブロック図で、この図2において、11はセル分離手段であり、このセル分離手段11はクラス1用通過フィルタ21-1およびクラス2用通過フィルタ21-2をそなえて構成されている。

【0018】ここで、クラス1用通過フィルタ21-1は、入力回線から到着するセルの品質クラスを見て、クラス1のセルを通過させるフィルタとして機能するものである。同様に、クラス2用通過フィルタ21-2は、クラス2のセルを通過させるフィルタとして機能するものである。この場合、クラス1はデータに代表される廃棄率の品質に対し厳しいクラスであり、クラス2は音声に代表される遅延時間の品質に対して厳しいクラスであり、これらのクラス1、クラス2の廃棄率、遅延時間に関する特徴を示すと、表1のようになる。

【0019】

【表1】

		遅延時間	
		厳しい	緩い
廃棄率	厳しい	—	クラス1
	緩い	クラス2	—

【0020】また、12-1はクラス1用バッファメモリであり、このクラス1用バッファメモリ12-1はクラス1用通過フィルタ21-1で分離されたクラス1のセルを独立に蓄積するとともに、その最大セル蓄積量が変更可能なものである。なお、このクラス1用バッファメモリ12-1としてはFIFO(先入れ先出し)バッファメモリが用いられる。

【0021】12-2はクラス2用バッファメモリであり、このクラス2用バッファメモリ12-2は、クラス2のセルを独立に蓄積するとともに、その最大セル蓄積量が変更可能なもので、このクラス2用バッファメモリ12-2としてもFIFO(先入れ先出し)バッファメモリが用いられる。13-1, 13-2はセル蓄積量監視手段としてのカウンタであり、このカウンタ13-1, 13-2はそれぞれクラス1用バッファメモリ12-1, クラス2用バッファメモリ12-2のセル蓄積量を監視するものである。

【0022】14は出力制御手段であり、この出力制御手段14はセル送出の順序を制御するものである。15はセル多重手段としてのセレクタであり、このセレクタ15は、出力制御手段14からの制御信号により、各クラスのバッファメモリ12-1, 12-2から出力回線へセルを多重するものである。

【0023】上述の構成により、セル分離手段11を構成するクラス1用通過フィルタ21-1で、入力回線から到着するセルの品質クラスを見て、クラス1のセルを通過させる。同様に、クラス2用通過フィルタ21-2でクラス2のセルを通過させる。クラス1用通過フィルタ21-1で分離されたクラス1のセルを、クラス1用バッファメモリ12-1で独立に蓄積する。同様に、クラス2のセルを、クラス2用バッファメモリ12-2で、独立に蓄積する。

【0024】クラス1用バッファメモリ12-1, クラス2用バッファメモリ12-2のセル蓄積量はそれぞれカウンタ13-1, 13-2で監視される。出力制御手段14はセル送出の順序を制御し、クラス1用バッファメモリ12-1, クラス2用バッファメモリ12-2に蓄積されたセルは、出力制御手段14からの制御信号により、セル多重手段15で出力回線へ多重される。

【0025】ここで、出力制御手段14によって、呼設定期に申告されたトラヒックパラメータから各クラスのトラヒック量とクラス混在比を求め、予めシミュレーション等で求めた呼受付可能領域(接続可能負荷)より呼の受付判断および適切な各クラスの出力帯域割当比を選択し、更に決められた帯域割当比で要求遅延時間を満たすことのできるバッファサイズを設定する。このとき、最大遅延時間を保証するため、周期ごとに帯域割当比に相当する処理個数を確定的に設定する。

【0026】また、セル転送時にセル蓄積量を監視するカウンタ13-1, 13-2より制御周期ごとの各クラスのバッファメモリ12-1, 12-2のセル蓄積量を受信し、あるクラスのセル蓄積量が減じた場合に要求遅延時間が満たされる範囲でそのクラスの出力回線へのセル送出のための要求帯域を減少させる。このときの各クラスの要求帯域W₁, W₂の決め方を以下に示す。

【0027】

$$W_1 = (L_1 / (D_1 - L_1)) \cdot K_1$$

$$W_2 = (L_2 / (D_2 - L_2)) \cdot K_2$$

ここで、L₁, L₂は各クラスのセル蓄積量、K₁, K₂は各クラスの呼接続時に設定された出力帯域である。また、セル転送時に再設定された出力帯域割当比に応じて、要求遅延時間が満たされる範囲で各クラスのバッファサイズも可変に制御する。このとき、各クラスのバッファサイズの決め方は呼接続時の場合に準じる。

【0028】なお、バッファサイズQ_i(i=1, 2)

と各クラスの要求帯域W_iとの関係を示すと、図5

(a), (b)のようになる。ここで、図5(a)は本発明の請求項1に対応するものであり、図5(b)は本発明の請求項2に対応するものである。また、本制御では、要求遅延時間を保証するため、設定された出力帯域割当比で制御周期内で確定的に処理個数が割当られると共に、制御時点で蓄積されていたセルを全部送出するまで帯域割当比の変更は行なわない。この制御のように要求遅延時間を最大値として規定するほかに、要求遅延時間を99%遅延時間として規定する場合もある。

【0029】以上のように、本実施例によれば、セル転送時に制御周期毎の各クラスのバッファメモリ12-1, 12-2のセル蓄積量を監視することによって、何

らかのトラヒックの変動により、あるクラスのセル蓄積量が減じた場合に、要求遅延時間が満たされる範囲でそのクラスの出力回線へのセル送出のための要求帯域を減少させることで、余剰帯域を他のクラスへ融通でき、他のクラスへ入力する負荷を増加させることができるので、総合的なセル転送効率を改善できる。

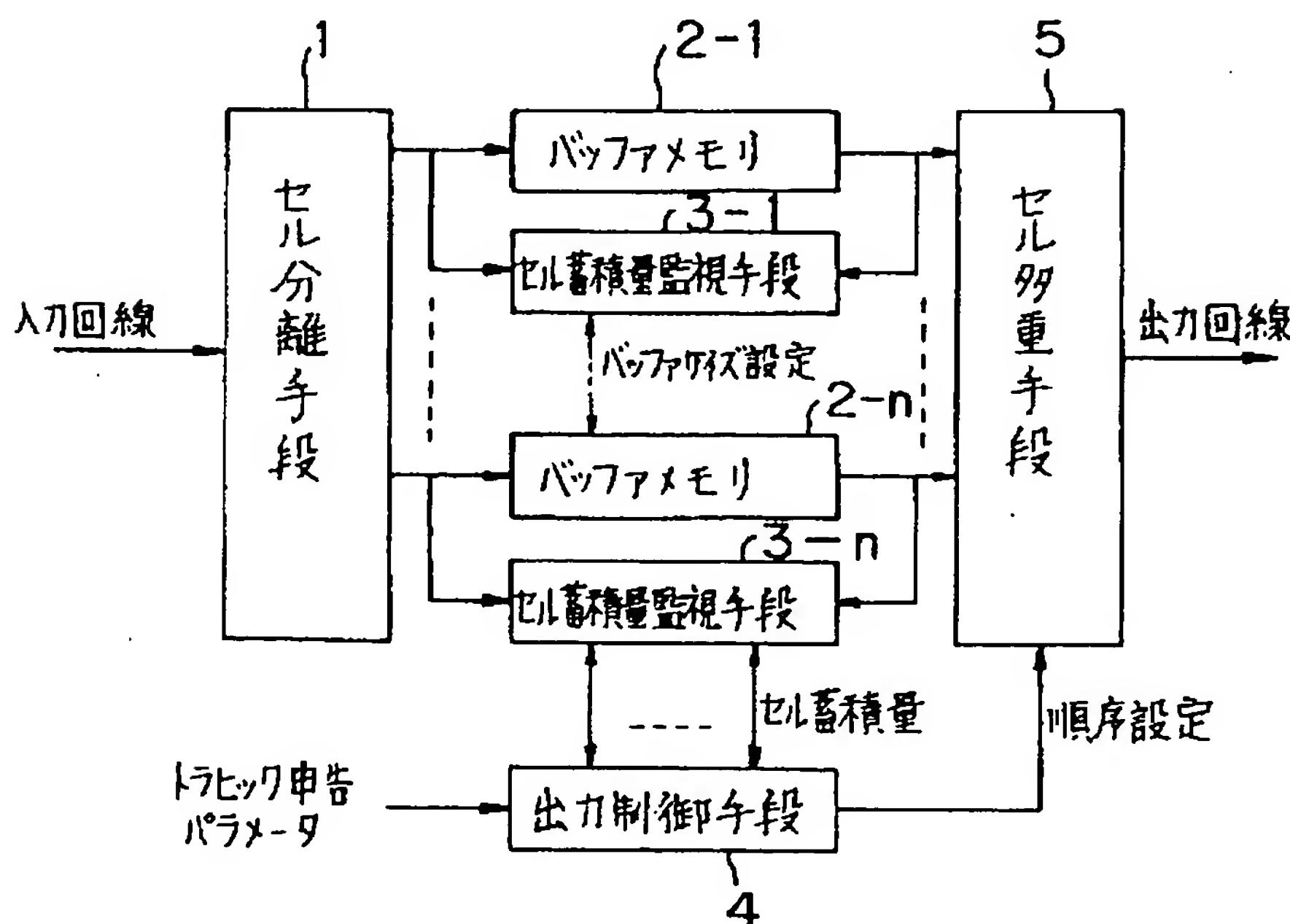
【0030】また、要求帯域の変更に応じて、各クラスの要求遅延時間を満足しうるバッファサイズに変更することによって、他のクラスのバッファサイズの増加が可能となり、廃棄率特性がよくなるため、総合的なセル転送効率を改善できる。なお、本発明は、ヘッダフィールドが5バイト、情報フィールドが48バイトのATMセルでなくとも、固定長の情報ブロックを単位に扱うものであれば、有効であり、適用可能である。

【0031】

【発明の効果】以上詳述したように、本発明のATM交換機における品質クラス別転送制御方式によれば、セル転送時に、制御周期毎の各クラスのバッファメモリのセル蓄積量を監視することによって、何らかのトラヒックの変動により、あるクラスのセル蓄積量が減じた場合に、要求遅延時間が満たされる範囲でそのクラスの出力回線へのセル送出のための要求帯域を減少させることで、余剰帯域を他のクラスへ融通でき、これにより他のクラスへ入力する負荷を増加させることができるので、総合的なセル転送効率を改善できる利点がある。

【図1】

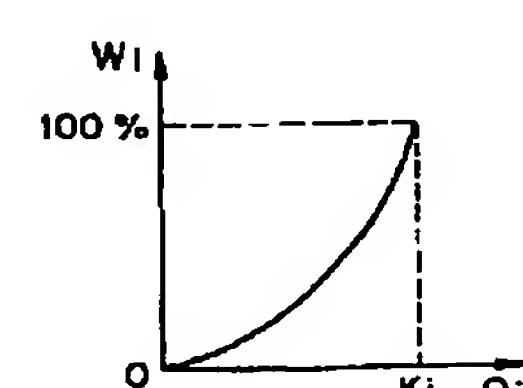
本発明の原理ブロック図



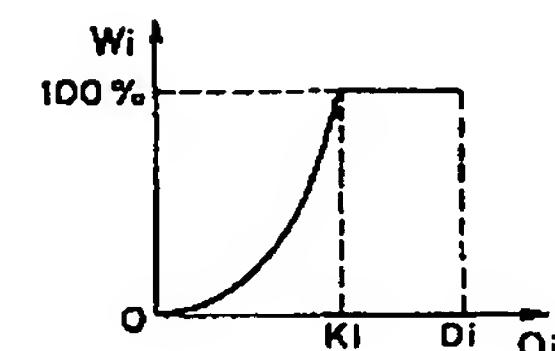
【図5】

バッファサイズと各クラスの要求帯域との関係を示すグラフ

(a)

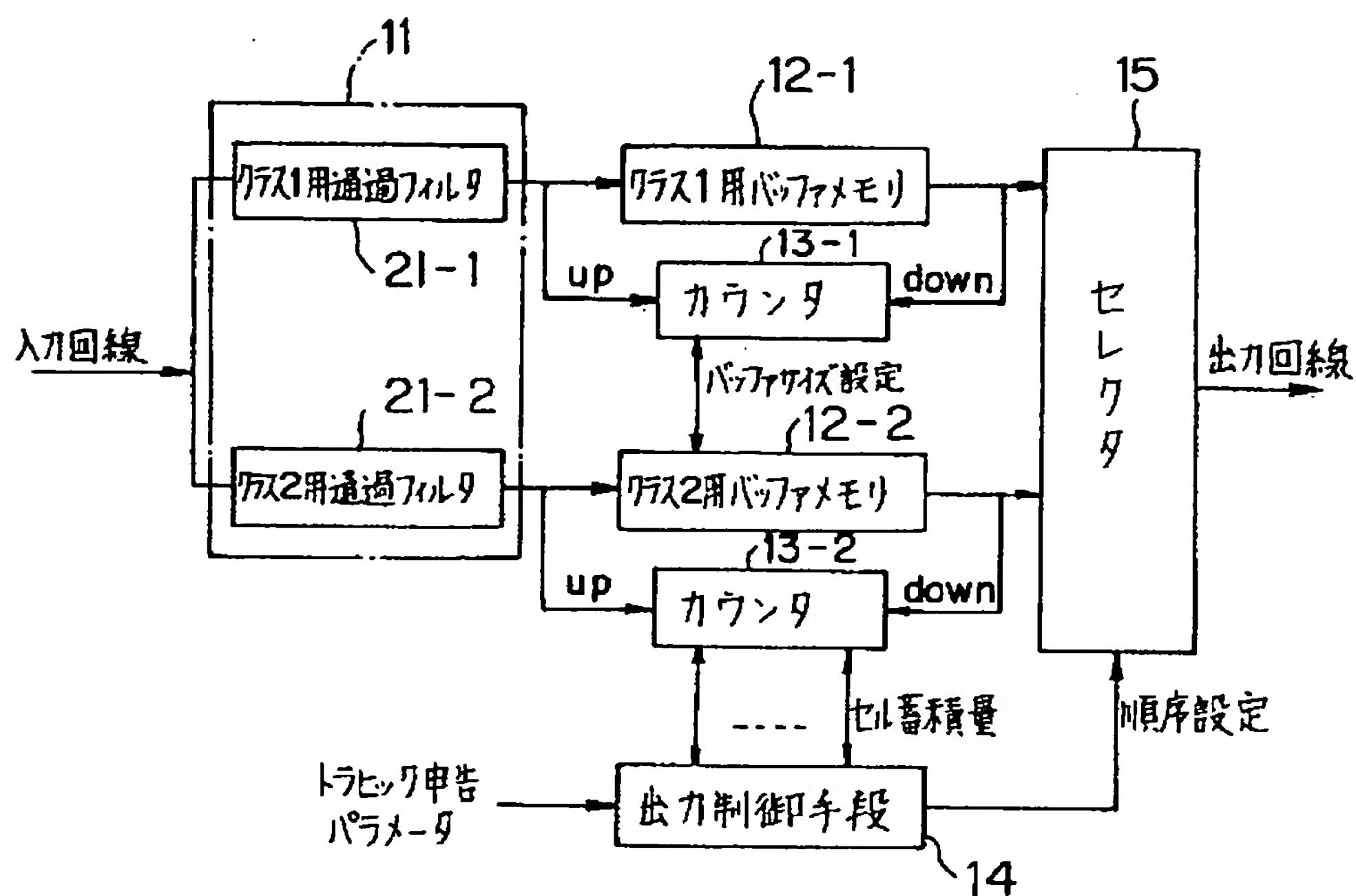


(b)



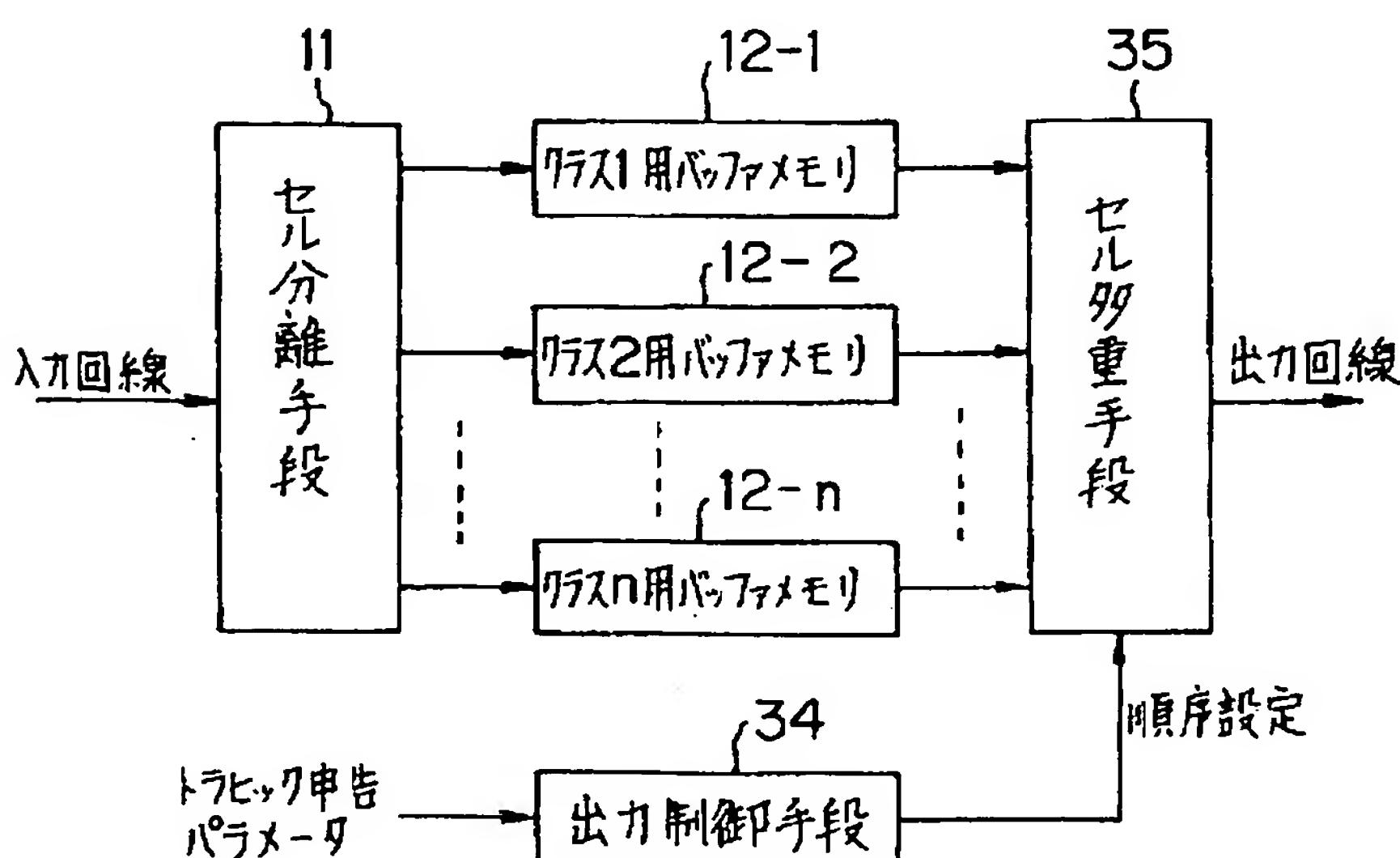
【図2】

本発明の一実施例を示すブロック図



【図3】

従来のATM交換機における品質クラス別転送制御方式を示すブロック図



【図4】

品質万能2種類の場合の接続可能領域の例示す図

